



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:)	
)	
Yoshimasa Ogawa)	Group Art Unit: TBA
)	
Serial No.: TBA)	Examiner: TBA
)	
Filed: February 5, 2001)	

For: Solid-State Imaging Element, Image Processor And Image Processing Method

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. §1.55**

*Assistant Commissioner for Patents
Washington, D.C. 20231*

Sir:

In accordance with the provisions of 37 C.F.R. §1.55, the applicant(s) submit(s)
herewith a certified copy of the following foreign application:

Japanese Patent Application No. 2000-111309
Filed: April 12, 2000

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing
date as evidenced by the certified papers attached hereto, in accordance with the requirements
of 35 U.S.C. §119.

Respectfully submitted,
STAAS & HALSEY LLP

By: C. Joan Gilsdorf
Christine Joan Gilsdorf
Registration No. 43,635

700 11th Street, N.W., Ste. 500
Washington, D.C. 20001
(202) 434-1500
Date: 2/5/01

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

JC986 U.S. PTO
09/775639
02/05/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2000年 4月12日

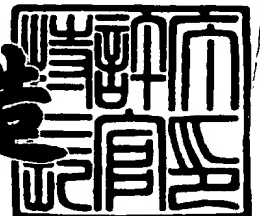
出願番号
Application Number: 特願2000-111309

出願人
Applicant (s): 富士通株式会社

2000年 8月11日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3064262

【書類名】 特許願

【整理番号】 0000012

【提出日】 平成12年 4月12日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 15/64

【発明の名称】 固体撮像素子、画像処理装置及び画像処理方法

【請求項の数】 5

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 小川 芳正

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100108202

 【弁理士】

 【氏名又は名称】 野澤 裕

 【電話番号】 044-754-3035

【手数料の表示】

 【予納台帳番号】 011280

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9913421

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 固体撮像素子、画像処理装置及び画像処理方法

【特許請求の範囲】

【請求項 1】

光画像データを電気信号に変換する複数の受光センサと、
前記電気信号を保持する記憶部と
を有する固体撮像素子において、
前記記憶部は複数のラインバッファで構成されていること
を特徴とする固体撮像素子。

【請求項 2】

一ラインに 1 個（1 は正の整数）配置され、光画像データを電気信号に変換する複数の受光センサと、
前記電気信号を保持する記憶部と
を有する固体撮像素子において、
前記記憶部は複数のバッファで構成され、該複数のバッファは全体で m 個のデータを保持することができること、
を特徴とする固体撮像素子。

【請求項 3】

光画像データを電気信号に変換する複数の受光センサを有する固体撮像素子と、
 $n * m$ （ n と m は正の整数）の画素単位で電気信号の符号化処理を行う符号化処理部と、
を有する画像処理装置において、
前記固体撮像素子は n 本のラインバッファで構成される電気信号保持部を有すること
を特徴とする画像処理装置。

【請求項 4】

光画像データを電気信号に変換する複数の受光センサを有する固体撮像素子と、
 $n * m$ （ n と m は正の整数）の画素単位で電気信号の符号化処理を行う符号化処理部と、

を有する画像処理装置において、

前記固体撮像素子は m 個のデータを保持できる複数のバッファで構成される電気信号保持部を有すること

を特徴とする画像処理装置。

【請求項 5】

複数の受光センサにおいて光画像データを電気信号に変換する工程と、

前記電気信号を $n * m$ (n と m は正の整数) の画素単位で出力する工程と、

前記出力された電気信号の符号化処理を行う工程と、

を有することを特徴とする画像処理方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、撮像した光画像データを入力して電気信号に変換する固体撮像素子、及び該固体撮像素子を使用した画像入力装置に関する。

【 0 0 0 2 】

【従来の技術】

例えば、デジタルカメラなどの画像入力装置においては、図 1 に示すように、撮像された光画像データがレンズを通して固体撮像素子としての CCD (Coupled Charge Device) に入力される。CCD において、入力された光画像データは電気信号、即ちアナログ画像データに変換される。アナログ画像データは、A/D 変換器によりデジタル画像データに変換され、デジタル画像データはフレームメモリに格納される。フレームメモリに格納されたデジタル画像データは、例えば、DCT 変換部、量子化部、及びハフマン符号化部等で構成される画像データ符号化部に供給されて、符号化圧縮される。

【 0 0 0 3 】

図 2 に示すように、CCD 1 は、水平 CCD 部 2 と垂直 CCD 部 3 とを有する。垂直 CCD 部 3 には、フレーム画面の画素数に相当する数のフォトダイオード等のフォトセンサ 4 が 2 次元的に敷き詰められている。各フォトセンサ 4 は一画素分の画像を受光して、光を電圧に変換し、アナログ画像データを生成する。

【 0 0 0 4 】

水平 CCD 部 2 は、アナログ画像データを出力するためのラインバッファを有する。各フォトセンサに 4 おいて生成された一画素分のアナログ画像データは、垂直方向（a から b 方向）に一段ずつシフトされて、水平 CCD 部 2 のラインバッファに入力される。一ライン分のアナログ画像データを保持したラインバッファは、水平方向（c から d 方向）にアナログ画像データを一個ずつシフトさせて、CCD 1 の外部に出力する。CCD 1 から出力されたアナログ画像データは A/D 変換器に入力される。アナログ画像データは A/D 変換器によりデジタル画像データに変換されて、画像データ符号化部に供給され、符号化圧縮される。

【 0 0 0 5 】

画像データ符号化部においては、所定の単位（以下、ブロックという）毎に画像データを分割して処理を行う。図 3（a）に示すように、例えば、JPEG 画像符号化においては、画像データを 8 画素 * 8 画素のブロックで符号化処理を行う。そして、各ブロック内では、図 3（b）に示すように左上から右下への順序で画像データは処理されることが多い。

【 0 0 0 6 】

図 4 において、1 0 は一フレーム分の画像データを示し（画像データの並びは、垂直 CCD 3 における並びと同じである）、1 1 は一ブロック分の画像データを示す。一ブロックは、8 画素 * 8 画素で構成される（図 3（a）参照）。図 4 に示すように、一フレームの画像データは n 個のブロックに分割され、1、2・・・n という順序で符号化処理される。

【 0 0 0 7 】

CCD においては、図 2 に示すように一フレームの画像データを一ライン毎に出力する。一方、CCD からのデータを受け取り符号化処理を行う画像データ符号化部においては、図 4 に示すように所定のブロック単位で符号化処理を行う。従って、CCD から出力された画像データを画像データ符号化部の処理に適するよう並べ替える必要がある。並べ替えには、以下の 2 つの方法がある。

（1）RAM を使用する方法

第 1 の方法は、図 5 に示すように、CCD から出力された画像データを RAM

(Random Access Memory) を介して、画像データ符号化部に入力する方法である。CCD から出力された画像データを RAM に書込む。そして、画像データ符号化部において符号化処理を行う場合には、アドレス変換をして処理に必要な順序で読み出す。

(2) ラインバッファを使用する方法

第 2 の方法は、図 6 (a) に示すように、CCD から出力された画像データを 8 ライン分のラインバッファ (ダブルバッファである場合には 16 ライン分) を介して、画像データ符号化部に入力する方法である。図 6 (b) に示すように、CCD の 8 ライン分がラインバッファに読み込まれる。そして、図 6 (c) に示すように、ラインバッファの 8 画素ずつ読み出す。

【0008】

【発明が解決しようとする課題】

しかしながら、上記に示す並び替えて読み出す方法には以下のような問題がある。

(1) RAM を使用する方法の問題点

第 1 に RAM はコストが高く、また占有面積が大きいため、使用する RAM の数を抑える必要がある。そのため、一つの RAM を共有化して、複数の用途に使用する場合が多い。この場合、一の用途に使用している場合には他の用途の使用を禁止する必要がある。従って、複数の用途におけるアクセス制御が複雑になる。また、RAM が他の用途に使用されている場合には、画像データの読み出しができないため、画像データの符号化処理を迅速に行うことができない。

【0009】

第 2 にアドレス変換操作が複雑となる。

(2) ラインバッファを使用する方法の問題点

画像データ読み出し専用のラインバッファを用意しなければならない。このラインバッファは専用であるため、他の機能と共有化することができない。

【0010】

【課題を解決するための手段及びその作用効果】

上記課題を解決するために、本発明は、光画像データを電気信号に変換する複

数の受光センサと、前記電気信号を保持する記憶部とを有する固体撮像素子において、前記記憶部は複数のラインバッファで構成されていることを特徴とする固体撮像素子を提供する。

【 0 0 1 1 】

また、一ラインに1個（1は正の整数）配置され、光画像データを電気信号に変換する複数の受光センサと、前記電気信号を保持する記憶部とを有する固体撮像素子において、前記記憶部は複数のバッファで構成され、該複数のバッファは全体でm個のデータを保持することができることを特徴とする固体撮像素子を提供する。

【 0 0 1 2 】

更に、上記固体撮像素子を備えた画像処理装置も提供する。

【 0 0 1 3 】

本発明に係る固体撮像素子及び画像処理装置によれば、CCDから出力される画像データを並び替えることなく、画像データ符号化部に供給することができる。そのため、画像データを並び替えるためのRAMや専用のラインバッファを設ける必要がなくなり、転送処理の簡略化、回路規模の縮小及び画像データ転送の高速化を図ることができる。

【 0 0 1 4 】

【発明の実施の形態】

〔第1実施例〕

図7は、本発明の第1実施例を示す。

【 0 0 1 5 】

図7に示すCCD1は、図2に示すCCD1と同様に、水平CCD2と垂直CCD3とを備える。しかしながら、図7に示す水平CCD2は、画像データ処理に必要な水平ライン数分のラインバッファを備える。即ち、画像データ符号化部において画像データを縦*横がn画素*m画素であるブロックで符号化処理を行う場合に、n本のラインバッファを備える。

【 0 0 1 6 】

また、図7に示すCCDは、第1のスイッチ回路4、第2のスイッチ回路5、

第1のスイッチ制御回路6及び第2のスイッチ制御回路7を備える。第1のスイッチ回路4は、垂直CCD3の垂直方向の各ラインに一個設けられる。第1のスイッチ制御回路6は第1のスイッチ回路4を制御して、水平CCD2の複数のラインバッファの内の一つと垂直CCD3とを接続する。第2のスイッチ制御回路7は第2のスイッチ回路5を制御して、水平CCD2の複数のラインバッファの内の一つを図示しない外部回路と接続する。

【0017】

以下に、図7に示すCCD1の画像データの出力動作を、図8を参照しながら説明する。なお、図8は、垂直CCDとラインバッファの画像データの具体的な格納状態の一例を示す。そして、図8においては、画像データ符号化部が3画素*2画素（縦*横）のブロック単位で符号化処理を行う場合を想定している。そのため、ラインバッファは3本となっている。

（1）垂直方向への転送

第1のスイッチ制御回路6は第1のスイッチ回路4を制御して、第1のラインバッファと垂直CCD3とを接続する。垂直CCD3から第1のラインバッファへの一水平ライン分の画像データが転送される。次に、第1のスイッチ制御回路6は第1のスイッチ回路4を制御して、第2のラインバッファと垂直CCD3とを接続する。垂直CCD3から第2のラインバッファへ次の一水平ライン分の画像データが転送される。このように第1のスイッチ制御回路4は第1のスイッチ回路6の接続を切り替えて、全てのラインバッファを画像データで埋める。

【0018】

図8（a）に示す垂直CCD3の画像データで全てのラインバッファを埋めた状態が、図8（b）である。図8（a）に示す垂直CCD3から3水平ライン分の画像データがラインバッファに供給されている。

（2）水平方向への転送

水平方向への転送は、（1）において、n本のラインバッファの全てに画像データが供給された後に行われる。

【0019】

第2のスイッチ制御回路7は第2のスイッチ回路5を制御して、第1のライン

バッファとCCD外部とを接続する。第1のラインバッファからm画素分の画像データをCCD外部へ出力する。次に、第2のスイッチ制御回路7は第2のスイッチ回路5を制御して、第2のラインバッファとCCD外部とを接続する。第2のラインバッファからm画素分の画像データをCCD1の外部へ出力する。同様な出力動作を繰り返して第nのラインバッファまでの画像データをCCD外部出力する。

【0020】

図8（b）に基づいて具体的に説明する。

【0021】

第2のスイッチ制御回路7は第2のスイッチ回路5を制御して、第1のラインバッファとCCD外部とを接続する。第1のラインバッファから画像データ（1と2）をCCD外部へ出力する。次に、第2のスイッチ制御回路7は第2のスイッチ回路5を制御して、第2のラインバッファとCCD外部とを接続する。第2のラインバッファから画像データ（11と12）をCCD外部へ出力する。更に、第2のスイッチ制御回路7は第2のスイッチ回路5を制御して、第3のラインバッファとCCD外部とを接続する。第3のラインバッファから画像データ（21と22）をCCD外部へ出力する。このようにして、ブロック1の画像データが出力される。同様な出力動作を繰り返して、ブロック1からブロック5までの画像データを順次出力する。

（3）転送の繰り返し

（1）の垂直方向への転送と（2）の水平方向への転送とを繰り返して、一フレーム分の画像データを全て出力する。図8（a）における垂直CCD3の1画素から100画素までの画像データを全て出力する。

【0022】

図9に第1のスイッチ回路4と第1のスイッチ制御回路6の回路構成を示す。

【0023】

第1のスイッチ回路は、垂直CCD3の一の垂直ラインと各ラインバッファ内の一画素分の記憶領域（以下、記憶領域という）とを接続するものである。この第1のスイッチ回路4は、垂直CCD3の垂直方向の各ラインに対応して設けら

れる。図9に示す第1のスイッチ回路4は垂直CCD3の第1番目の垂直ラインに接続されているとする。スイッチS11は垂直CCD3の第1番目の垂直ラインと第1のラインバッファの1番目の記憶領域とを接続する。スイッチS12は垂直CCD3の第1番目の垂直ラインと第2のラインバッファの1番目の記憶領域とを接続する。そして、スイッチS1nは垂直CCD3の第1番目の垂直ラインと第nのラインバッファの1番目の記憶領域とを接続する。

【0024】

スイッチS1からスイッチS1nは、第1のスイッチ制御回路6によって制御される。第1のスイッチ制御回路6は、n個のフリップフロップ（FF）を有するシフトレジスタで構成される。第1番目のフリップフロップF1の出力SW11はスイッチS11のオン／オフを制御する。第2番目のフリップフロップF12の出力SW12はスイッチS12のオン／オフを制御する。そして、第n番目のフリップフロップFnの出力SW1nはスイッチS1nのオン／オフを制御する。

【0025】

フリップフロップF11からフリップフロップF1nには、リセット信号Vresetが供給され、初期化される。フリップフロップF11は”1”信号で、フリップフロップF11を除く他のフリップフロップは”0”信号で初期化される。また、フリップフロップF11からフリップフロップF1nには、垂直方向シフトパルスVCLKが供給される。

【0026】

図10は、図9に示す第1のスイッチ回路4と第1のスイッチ制御回路6との動作、即ち垂直方向への転送期間のタイミングチャートを示す。

（1）第1のシフトパルス

”1”信号に初期化されたフリップフロップF11は、”1”信号である制御信号SW11を出力する。”0”信号に初期化された他のフリップフロップは、”0”信号である制御信号SW12～制御信号SW1nを出力する。そのため、スイッチS1はONして、垂直CCD3の第1番目の水平ラインの画像データが第1のラインバッファの記憶領域に転送される。

【 0 0 2 7 】

そして、各フリップフロップは、前段のフリップフロップが出力する信号を取り込む。

(2) 第2のシフトパルス

フリップフロップF11の出力信号”1”取り込んだフリップフロップF2は、”1”信号である制御信号SW12を出力する。前段のフリップフロップの出力信号”0”を取り込んだ他のフリップフロップは、”0”信号である制御信号SW1及び制御信号SW13～制御信号SW1nを出力する。そのため、スイッチS2はONして、垂直CCD3の第2番目の水平ラインの画像データが第2のラインバッファの記憶領域に転送される。

【 0 0 2 8 】

そして、各フリップフロップは、前段のフリップフロップが出力する信号を取り込む。

(3) 第3のシフトパルス

第3のシフトパルスにおいては、スイッチS3はONして、垂直CCD3の第3番目の水平ラインの画像データが第3のラインバッファの記憶領域に転送される。

【 0 0 2 9 】

以上の動作が第nのシフトパルスまで繰り返されて、n本のラインバッファには、垂直CCD3の第1番目の水平ラインから第n番目の水平ラインまでの画像データが格納される。その後は、ラインバッファからCCD外部へ画像データを出力する水平方向への転送期間となる。水平方向への転送期間においては、垂直方向のシフトパルスは動作しない。

【 0 0 3 0 】

図11に第2のスイッチ回路5と第2のスイッチ制御回路7の回路構成を示す。

【 0 0 3 1 】

第2のスイッチ回路は、水平CCD2の複数のラインバッファの内の一つと外部回路とを接続するものである。スイッチS21は第1のラインバッファと外部

回路とを接続する。スイッチ S 2 2 は第 2 のラインバッファと外部回路とを接続する。そして、スイッチ S 2 n は第 n のラインバッファと外部回路とを接続する。

【 0 0 3 2 】

スイッチ S 2 1 からスイッチ S 2 n は、第 2 のスイッチ制御回路 7 によって制御される。第 2 のスイッチ制御回路 7 は、n 個のフリップフロップ (F F) を有するシフトレジスタとカウンタとで構成される。第 1 番目のフリップフロップ F 2 1 の出力 S W 2 1 はスイッチ S 2 1 のオン／オフを制御する。第 2 番目のフリップフロップ F 2 2 の出力 S W 2 2 はスイッチ S 2 2 のオン／オフを制御する。そして、第 n 番目のフリップフロップ F 2 n の出力 S W 2 n はスイッチ S 2 n のオン／オフを制御する。

【 0 0 3 3 】

フリップフロップ F 2 1 からフリップフロップ F 2 n には、リセット信号 H r e s e t が供給が供給され、初期化される。フリップフロップ F 2 1 は” 1 ” 信号で、フリップフロップ F 2 1 を除く他のフリップフロップは” 0 ” 信号で初期化される。また、フリップフロップ F 2 1 からフリップフロップ F 2 n には、水平方向シフトパルス H C L K が供給される。

【 0 0 3 4 】

カウンタには、水平方向シフトパルス H C L K が供給される。カウンタは、水平方向シフトパルス H C L K を m 回カウントして、イネーブル信号 E N をフリップフロップ F 2 1 からフリップフロップ F 2 n に供給する。

【 0 0 3 5 】

図 1 2 は、図 9 に示す第 2 のスイッチ回路 5 と第 2 のスイッチ制御回路 7 との動作、即ち水平方向への転送期間のタイミングチャートを示す。

(1) カウンタからの第 1 のイネーブル信号

カウンタからの第 1 のイネーブル信号に基づいて、” 1 ” 信号に初期化されたフリップフロップ F 1 は、” 1 ” 信号である制御信号 S W 2 1 を出力する。そして、” 0 ” 信号に初期化された他のフリップフロップは、” 0 ” 信号である制御信号 S W 2 2 ～制御信号 S W 2 n を出力する。そのため、スイッチ S 2 1 は O N

して、第 1 のラインバッファの画像データが外部回路に出力される。

【 0 0 3 6 】

そして、各フリップフロップは、前段のフリップフロップが出力する信号を取り込む。

【 0 0 3 7 】

この後、カウンタはリセットされ、水平方向のパルス信号を m 回カウントするまで各フリップフロップに対してイネーブル信号を供給しない。

(2) カウンタからの第 2 のイネーブル信号

フリップフロップ $F 2 1$ の出力信号 " 1 " 取り込んだフリップフロップ $F 2 2$ は、" 1 " 信号である制御信号 $SW 2 2$ を出力する。前段のフリップフロップの出力信号 " 0 " を取り込んだ他のフリップフロップは、" 0 " 信号である制御信号 $SW 2 1$ 及び制御信号 $SW 2 3 \sim$ 制御信号 $SW 2 n$ を出力する。そのため、スイッチ $S 2 2$ は ON して、第 2 のラインバッファの画像データが外部回路に出力される。

【 0 0 3 8 】

そして、各フリップフロップは、前段のフリップフロップが出力する信号を取り込む。

【 0 0 3 9 】

この後、カウンタはリセットされ、水平方向シフトパルス $HCLK$ を m 回カウントするまで各フリップフロップに対してイネーブル信号を供給しない。

(3) カウンタからの第 3 のイネーブル信号

第 3 のパルスにおいては、スイッチ $S 2 3$ が ON して、第 3 のラインバッファの画像データが外部回路に出力される。

【 0 0 4 0 】

以上の動作がラインバッファの画像データを全て外部回路に出力されるまで繰り返される。その後は、垂直 $CCD 3$ からラインバッファへの画像データを転送する垂直方向への転送期間となる。垂直方向への転送期間においては、水平方向の水平方向シフトパルス $HCLK$ は動作しない。

【 0 0 4 1 】

図 7 に示す本発明の第 1 実施例によれば、画像データを保持した n 本の各ラインバッファから m 画素ずつ画像データが順次出力される。即ち、一フレームを n 画素 \times m 画素ずつに区切った単位で画像データが CCD から出力される。そのため、出力された画像データを並び替えることなく、画像データ符号化部に供給することができる。

【 0 0 4 2 】

[第 2 実施例]

図 1 3 は、本発明の第 2 実施例を示す。

【 0 0 4 3 】

図 1 3 に示す CCD は、図 2 に示す CCD と同様に、水平 CCD 2 と垂直 CCD 3 とを備える。しかしながら、図 1 3 に示す水平 CCD 2 は、一ラインを複数に分割し、分割された数のバッファを備える。即ち、画像データ符号化部において画像データを縦 \times 横が n 画素 \times m 画素であるブロックで符号化処理を行う場合に、水平方向のラインの画素数を m 個で割った数（以下、バッファ数又は k という）のバッファを備える。なお、一個のバッファは m 画素分の画像データを格納できる。

【 0 0 4 4 】

また、図 1 3 に示す CCD は、第 3 のスイッチ回路 8、第 3 のスイッチ制御回路 9 及び転送制御回路 1 0 を備える。第 3 のスイッチ制御回路 9 は第 3 のスイッチ回路 8 を制御して、水平 CCD 2 の複数のバッファの内の一つを図示しない外部回路と接続する。転送制御回路 1 0 は、外部回路と接続されたバッファに対して画像データを供給するように垂直 CCD 3 を制御する。

【 0 0 4 5 】

以下に、図 1 3 に示す CCD の画像データの出力動作を説明する。

(1) 外部へ出力するバッファの選択

第 3 のスイッチ制御回路 9 は第 3 のスイッチ回路 8 を制御して、第 1 のバッファと外部回路とを接続する。

(2) 垂直方向転送及び水平方向転送

転送制御回路 1 0 は垂直 CCD 部 3 を制御して、第 1 のバッファに対応する画

像データ、即ち、第1の水平ラインの最初のm画素の画像データを転送する。第1のバッファは、保持した画像データを外部回路へ出力する。次に、垂直CCD3から第2の水平ラインの最初のm画素の画像データが第1のバッファに転送され、第1のバッファは転送された画像データを外部回路に出力する。この処理をn回繰り返す。

(3) 処理の繰り返し

(1)の外部へ出力するバッファの選択と、(3)の垂直方向転送及び水平方向転送とをm回繰り返す。

【0046】

第3のスイッチ回路8と第3のスイッチ制御回路9とは、図11に示す第2のスイッチ回路5と第2のスイッチ制御回路7とほぼ同じ回路構成を有する。第3のスイッチ制御回路9のカウンタは、水平方向シフトパルスHCLKをm回カウントしてパルス信号をフリップフロップに供給する。

【0047】

図14に第1の転送制御回路10の回路構成を示す。

【0048】

転送制御回路10は、外部回路と接続されたバッファに対して画像データを供給するように垂直CCD3を制御するものである。

【0049】

転送制御回路10は、バッファ数(k個)のフリップフロップを有するシフトレジスタと、バッファ数(k個)のANDゲートと、カウンタとで構成される。

【0050】

各フリップフロップに対応してANDゲートが設けられている。各ANDゲートの一方の入力には、各フリップフロップから出力された信号が供給される。そして、各ANDゲートの他方の入力には、垂直方向シフトパルスVCLKが供給される。

【0051】

第1番目のフリップフロップF31の出力が供給される第1のANDゲートG1の出力は、第1のバッファへの画像データの供給を制御する。第2番目のフリ

ップフロップF 3 2の出力が供給される第2のANDゲートG 2の出力は、第2のバッファへの画像データの供給を制御する。そして、第k番目のフリップフロップF 3 kの出力が供給される第kのANDゲートG kの出力は、第kのバッファへの画像データの供給を制御する。

【 0 0 5 2 】

フリップフロップF 3 1からフリップフロップF 3 kには、リセット信号V r e s e t が供給が供給され、初期化される。フリップフロップF 3 1は” 1 ” 信号で、フリップフロップF 3 1を除く他のフリップフロップは” 0 ” 信号で初期化される。また、フリップフロップF 3 1からフリップフロップF 3 kには、カウンタからのイネーブル信号E N が供給される。

【 0 0 5 3 】

カウンタは、垂直方向シフトパルスV C L K をn回カウントして、イネーブル信号E N をフリップフロップF 3 1からフリップフロップF 3 nに供給する。

【 0 0 5 4 】

図15は、図14に示す第1の転送制御回路10の動作、即ち垂直方向及び水平方向への転送のタイミングチャートを示す。

(1) カウンタからの第1のイネーブル信号

カウンタからの第1のイネーブル信号に基づいて、” 1 ” 信号に初期化されたフリップフロップF 3 1は、” 1 ” 信号である信号を出力する。” 0 ” 信号に初期化された他のフリップフロップは、” 0 ” 信号である制御信号を出力する。フリップフロップF 3 1から出力された” 1 ” 信号は、ANDゲートG 1の一方の入力に供給される。他のフリップフロップから出力された” 0 ” 信号は、対応するANDゲートの一方の入力に供給される。そのため、フリップフロップF 3 1に対応するANDゲートG 1の出力のみが、第1のバッファへの転送パルスを出し、他のフリップフロップに対応するANDゲートの出力、即ち第2のバッファへの転送パルスから第kのバッファへの転送パルスは、” 0 ” に固定される。従って、カウンタから第2のイネーブル信号が出力されるまで、第1のバッファのみが転送動作の対象となり、他のバッファは転送動作の対象とはならない。

【 0 0 5 5 】

第1のバッファは、垂直方向シフトパルスVCLKに基づいて転送動作を行う。垂直方向シフトパルスVCLKがHigh、即ち”1”のときには第1のバッファに垂直CCD3から画像データが供給される。垂直方向シフトパルスVCLKがLow、即ち”0”のときには第1のバッファからm個の画像データが外部回路に供給される。垂直CCD3からの画像データの供給と該画像データの外部への出力とがn回行われる。

【0056】

カウンタからの第1のイネーブル信号に基づいて、各フリップフロップは、前段のフリップフロップが出力する信号を取り込む。

【0057】

この後、カウンタはリセットされ、垂直方向シフトパルスVCLKをn回カウントするまで各フリップフロップに対して第1のイネーブル信号を発生しない。

(2) カウンタからの第2のイネーブル信号

フリップフロップF31の出力信号”1”取り込んだフリップフロップF32は、”1”信号を出力する。前段のフリップフロップの出力信号”0”を取り込んだ他のフリップフロップは、”0”信号を出力する。そのため、フリップフロップF32に対応するANDゲートG2の出力のみが、第2のバッファへの転送パルスを出力し、他のフリップフロップに対応するANDゲートの出力は、”0”に固定される。従って、カウンタから第3のイネーブル信号が出力されるまで、第2のバッファのみが転送動作の対象となり、他のバッファは転送動作の対象とはならない。

(3) カウンタからの第3のパルス

第3のバッファが転送動作の対象となる。

【0058】

以上の処理がバッファ数(k回)繰り返される。

【0059】

図13に示す本発明の第2実施例によれば、m画素の画像データを保持したバッファから、nライン分の画像データが順次出力される。即ち、一フレームをn画素*m画素づつに区切った単位で画像データがCCDから出力される。そのた

め、出力された画像データを並び替えることなく、画像データ符号化部に供給することができる。

【 0 0 6 0 】

[第 3 実施例]

図 1 6 は、本発明の第 3 実施例を示す。

【 0 0 6 1 】

図 1 6 に示す CCD は、図 2 に示す CCD と同様に、水平 CCD 2 と垂直 CCD 3 とを備える。しかしながら、図 1 6 に示す水平 CCD 2 は、画像データ処理に必要なライン数分のラインバッファを備える。即ち、画像データ符号化部において画像データを n 画素 \times m 画素のブロックで符号化処理を行う場合に、 n 本のラインバッファを備える。

【 0 0 6 2 】

また、図 1 6 に示す CCD は、第 4 のスイッチ回路 1 1 及び第 4 のスイッチ制御回路 1 2 とを備える。第 4 のスイッチ制御回路 1 2 は第 4 のスイッチ回路 1 1 を制御して、水平 CCD 2 の複数のラインバッファの内の一つと垂直 CCD 3 とを接続する。

【 0 0 6 3 】

以下に、図 1 4 に示す CCD の画像データの出力動作を説明する。

(1) 垂直方向への転送

第 4 のスイッチ制御回路 1 2 は第 4 のスイッチ回路 1 1 を制御して、第 1 のラインバッファと垂直 CCD 3 とを接続する。垂直 CCD 3 から第 1 のラインバッファへの一水平ライン分の画像データが転送される。次に、第 4 のスイッチ制御回路 1 2 は第 4 のスイッチ回路 1 1 を制御して、第 2 のラインバッファと垂直 CCD 3 とを接続する。垂直 CCD 3 から第 2 のラインバッファへ次の一水平ライン分の画像データが転送される。このように第 4 のスイッチ制御回路 1 2 は第 4 のスイッチ回路 1 1 の接続を切り替えて、全てのラインバッファを画像データで埋める。

(2) 水平方向への転送

水平方向への転送は、(1) において、 n 本のラインバッファ全てに画像デー

タが供給された後に行われる。

【 0 0 6 4 】

n本のラインバッファからn個の画像データをパラレルに出力する。

(3) 転送の繰り返し

(1)の垂直方向への転送と、(2)の水平方向への転送とを一フレーム分の画像データを全て出力するまで繰り返す。

【 0 0 6 5 】

第4のスイッチ回路11と第4のスイッチ制御回路12とは、図9に示す第1のスイッチ回路4と第1のスイッチ制御回路6とほぼ同じ回路構成を有する。

【 0 0 6 6 】

図16に示す本発明の第3実施例によれば、画像データを保持したn本のラインバッファからn個の画像データがパラレルに出力される。即ち、一フレームをn画素*m画素づつに区切った単位で画像データがCCDから出力される。そのため、出力された画像データを並び替えることなく、画像データ符号化部に供給することができる。

【 0 0 6 7 】

なお、本発明の第3実施例においては、CCDから画像データがパラレルに出力されるため、画像データ符号化部においてはパラレルにデータを入力することができる。画像符号化部においては、パラレルに供給されたデータをパラレルのまま符号化処理を行うこともできるが、パラレルの画像データをシリアルな画像データに変換して通常の符号化処理を行うこともできる。前者の場合には、CCDから画像符号化部へのデータ転送の速度が速まるとともに、画像符号化部内部での符号化処理の速度も速まるので、高速な画像処理装置を実現することができる。

【 0 0 6 8 】

【発明の効果】

本発明によれば、CCDから出力される画像データを並び替えることなく、画像データ符号化部に供給することができる。そのため、画像データを並べ替えるためのRAMや専用のラインバッファを設ける必要がなくなり、転送処理の簡略

化、回路規模の縮小及び画像データ転送の高速化を図ることができる。

【 0 0 6 9 】

〔付記〕

以上の説明に関して更に以下の項を開示する。

(1) 光画像データを電気信号に変換する複数の受光センサと前記電気信号を保持する記憶部とを有する固体撮像素子において、前記記憶部は複数のラインバッファで構成されていることを有することを特徴とする固体撮像素子。

(2) 前記複数のラインバッファの内の一つと前記受光センサとを接続する第1のスイッチ回路を有することを特徴とする(1)の固体撮像素子。

(3) 前記複数のラインバッファの内の一つを選択して電気信号を出力する第2のスイッチ回路を有することを特徴とする(1)の固体撮像素子。

(4) 前記複数のラインバッファ内のデータをパラレルに出力することを特徴とする(2)の固体撮像素子。

(5) 一ラインに m 個(m は正の整数)配置され、光画像データを電気信号に変換する複数の受光センサと、前記電気信号を保持する記憶部とを有する固体撮像素子において、前記記憶部は複数のバッファで構成され、該複数のバッファは全体で m 個のデータを保持することができること、を特徴とする固体撮像素子。

(6) 前記複数のバッファの内の一つと前記受光センサとを接続する第3のスイッチ回路と有することを特徴とする(5)の固体撮像素子。

(7) 前記バッファに電気信号を供給する受光センサを選択するための第1の転送制御回路を有することを特徴とする(6)の固体撮像素子。

(8) 光画像データを電気信号に変換する複数の受光センサを有する固体撮像素子と、 $n * m$ (n と m は正の整数)の画素単位で電気信号の符号化処理を行う符号化処理部とを有する画像処理装置において、前記固体撮像素子は n 本のラインバッファで構成される電気信号保持部を有することを特徴とする画像処理装置。

(9) 前記複数のラインバッファの内の一つと前記受光センサとを接続する第1のスイッチ回路を有することを特徴とする(8)の画像処理装置。

(10) 前記複数のラインバッファの内の一つを選択して電気信号を出力する第2のスイッチ回路を有することを特徴とする(8)の画像処理装置。

(11) 前記複数のラインバッファ内のデータを平行に出力することを特徴とする(9)の画像処理装置。

(12) 前記符号化処理部は J P E G であることを特徴とする(8)の画像処理装置。

(13) 光画像データを電気信号に変換する複数の受光センサを有する固体撮像素子と、 $n * m$ (n と m は正の整数)の画素単位で電気信号の符号化処理を行う符号化処理部とを有する画像処理装置において前記固体撮像素子は m 個のデータを保持できる複数のバッファで構成される電気信号保持部を有することを特徴とする画像処理装置。

(14) 前記複数のバッファの内の一つと前記受光センサとを接続する第3のスイッチ回路とを有することを特徴とする(13)の画像処理装置。

(15) 前記バッファに電気信号を供給する受光センサを選択するための第1の転送制御回路を有することを特徴とする(13)の画像処理装置。

(16) 前記符号化処理部は J P E G であることを特徴とする(13)の画像処理装置。

(17) 複数の受光センサにおいて光画像データを電気信号に変換する工程と、前記電気信号を $n * m$ (n と m は正の整数)の画素単位で出力する工程と、前記出力された電気信号の符号化処理を行う工程とを有することを特徴とする画像処理方法。

【図面の簡単な説明】

【図1】

画像入力装置を示す図である。

【図2】

C C D を示す図である。

【図3】

8画素 * 8画素の画像データを示す図である。

【図4】

1フレームの画像データを示す図である。

【図5】

R A Mを使用する方法を示す図である。

【図 6】

ラインバッファを使用する方法を示す図である。

【図 7】

本発明の第 1 実施例を示す図である。

【図 8】

垂直 C C D とラインバッファを示す図である。

【図 9】

第 1 のスイッチ回路と第 1 のスイッチ制御回路とを示す図である。

【図 1 0】

垂直方向転送期間のタイミングチャートを示す図である。

【図 1 1】

第 2 のスイッチ回路と第 2 のスイッチ制御回を示す図である。

【図 1 2】

水平方向転送期間のタイミングチャートを示す図である。

【図 1 3】

本発明の第 2 実施例を示す図である。

【図 1 4】

転送制御回路を示す図である。

【図 1 5】

垂直方向転送期間のタイミングチャートを示す図である。

【図 1 6】

本発明の第 3 実施例を示す図である。

【符号の説明】

- 1 固体撮像素子 (C C D)
- 2 水平 C C D 部
- 3 垂直 C C D 部
- 4 第 1 のスイッチ回路
- 5 第 2 のスイッチ回路

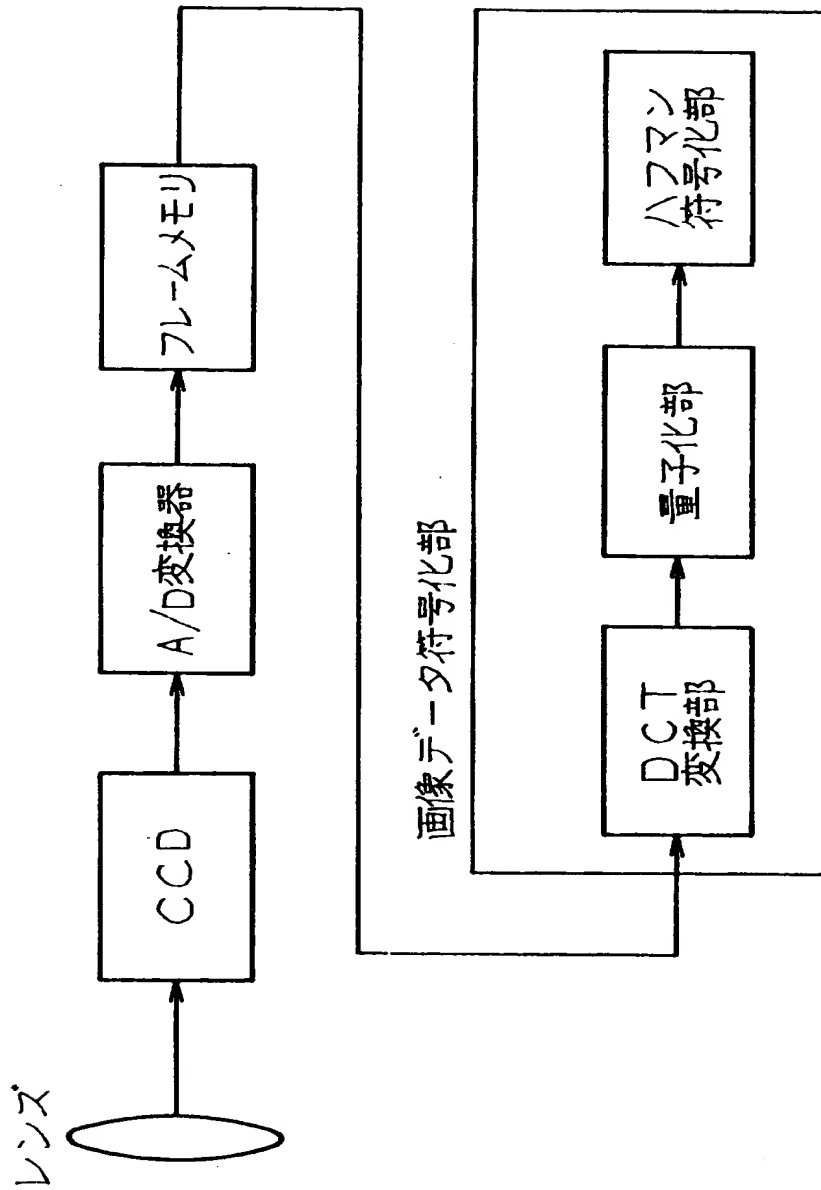
- 6 第 1 のスイッチ制御回路
- 7 第 2 のスイッチ制御回路
- 8 第 3 のスイッチ回路
- 9 第 3 のスイッチ制御回路
- 1 0 転送制御回路
- 1 1 第 4 のスイッチ回路
- 1 2 第 4 のスイッチ制御回路

【書類名】

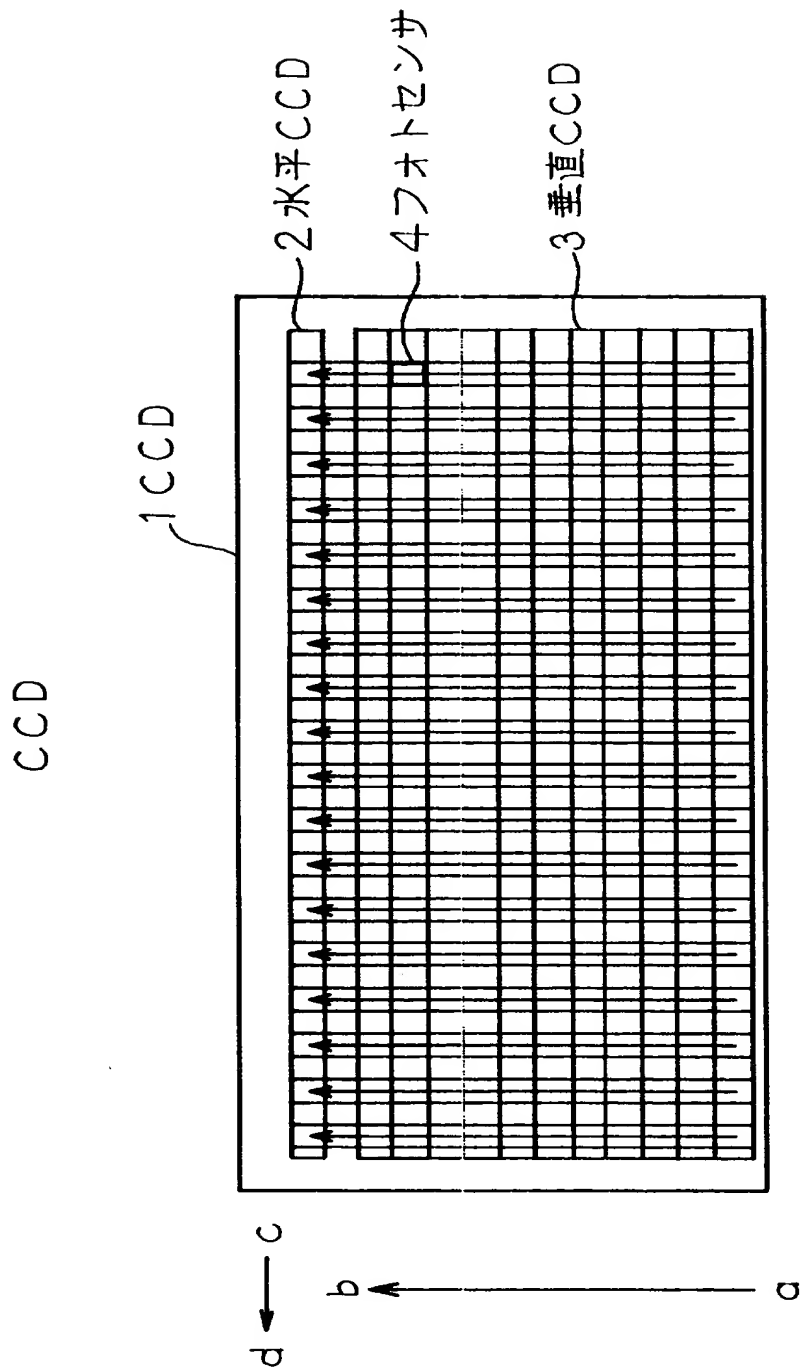
図面

【図1】

画像入力装置



【図 2】



【図 3】

8画素×8画素の画像データ

(a)

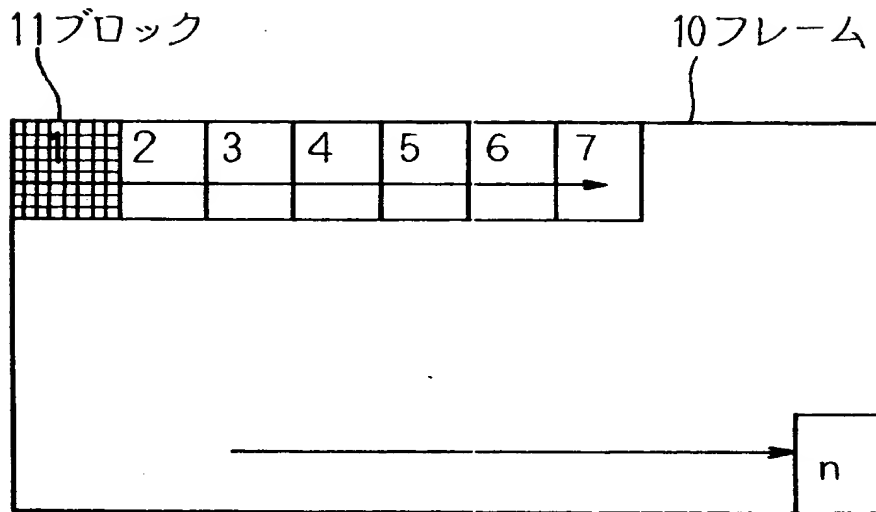
0	1	2	3	4	5	6	7
8	9	10	11	12	13	14	15
16	17	18	19	20	21	22	23
24	25	26	27	28	29	30	31
32	33	34	35	36	37	38	39
40	41	42	43	44	45	46	47
48	49	50	51	52	53	54	55
56	57	58	59	60	61	62	63

(b)

0	1	2	3	4	5	6	7
8	9	10	11	12	13	14	15
16	17	18	19	20	21	22	23
24	25	26	27	28	29	30	31
32	33	34	35	36	37	38	39
40	41	42	43	44	45	46	47
48	49	50	51	52	53	54	55
56	57	58	59	60	61	62	63

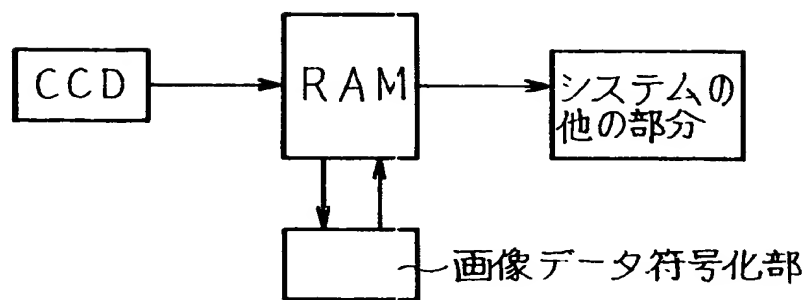
【図 4】

1 フレームの画像データ



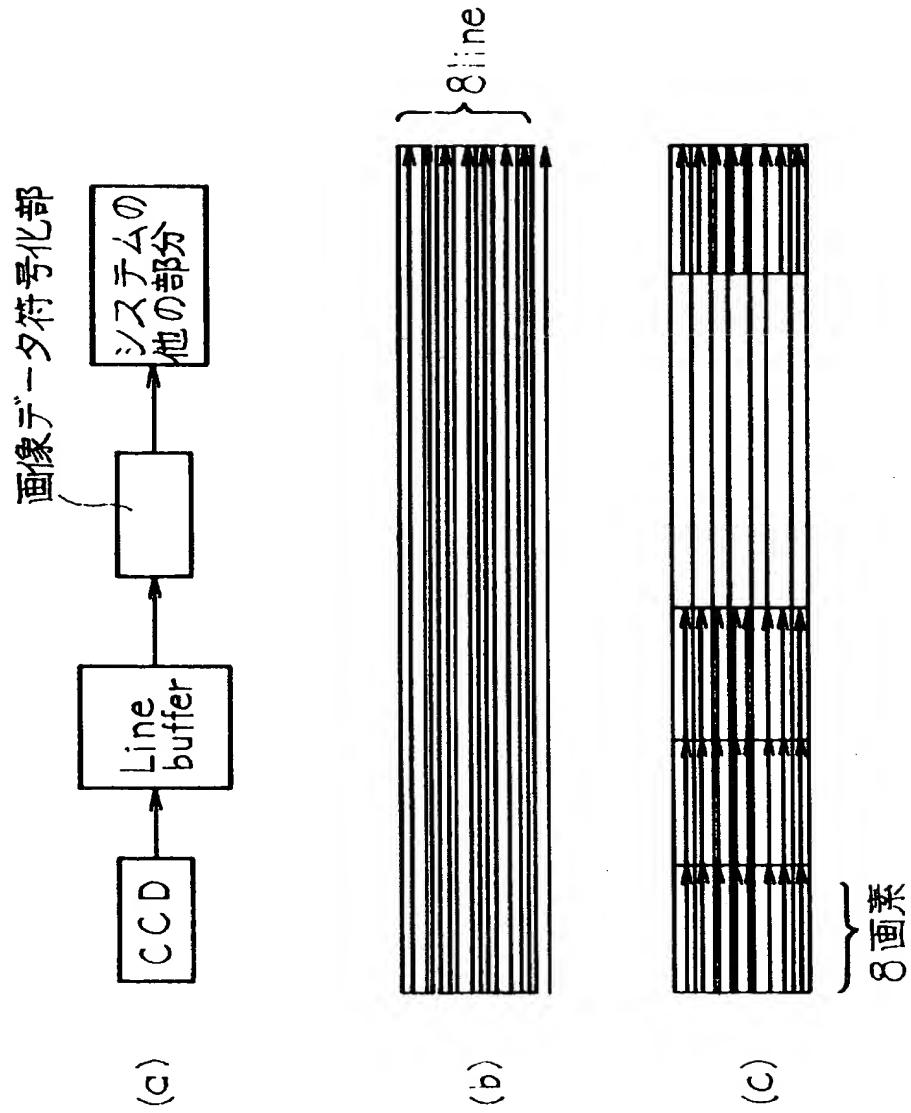
【図 5】

RAMを使用する方法



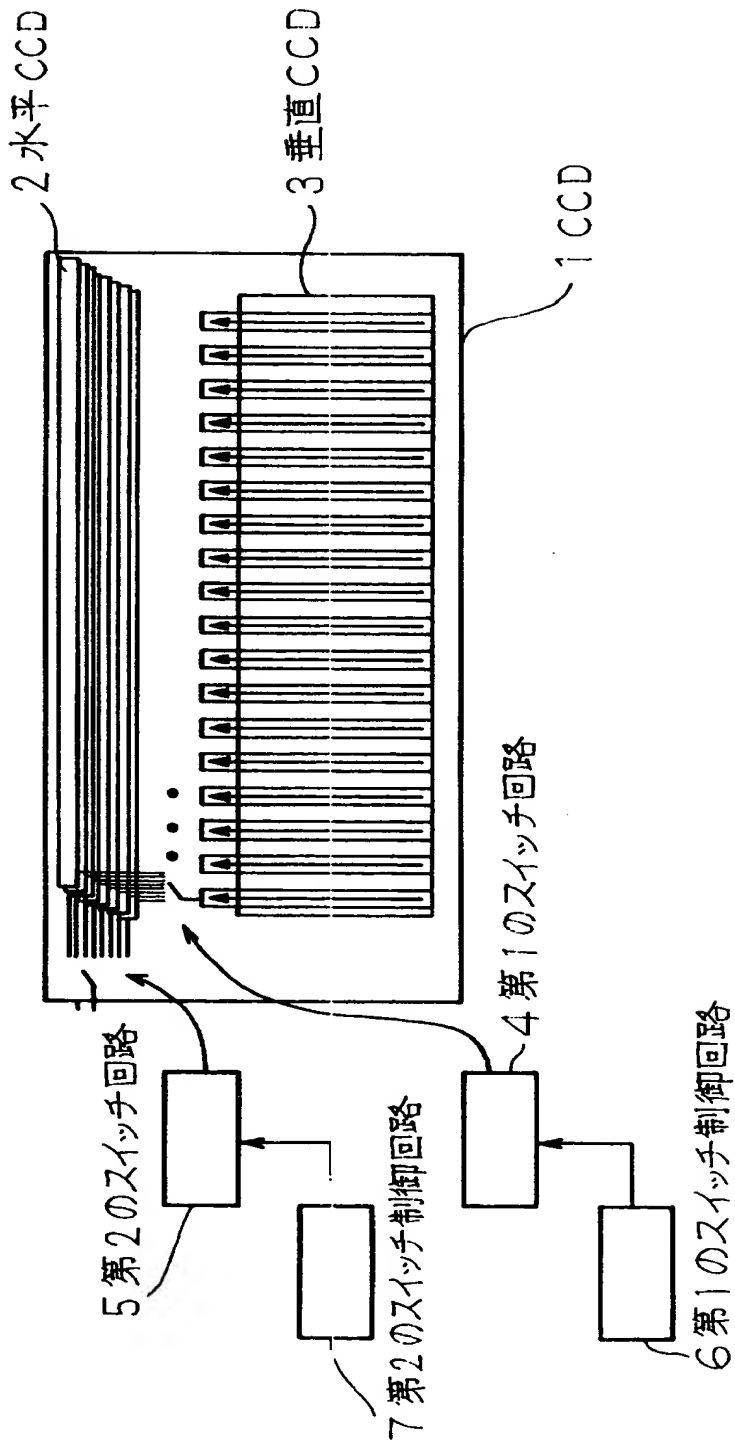
【図 6】

ラインバッファを使用する方法



【図7】

第1実施例



【図 8】

垂直 CCD とラインバッファ

(a)

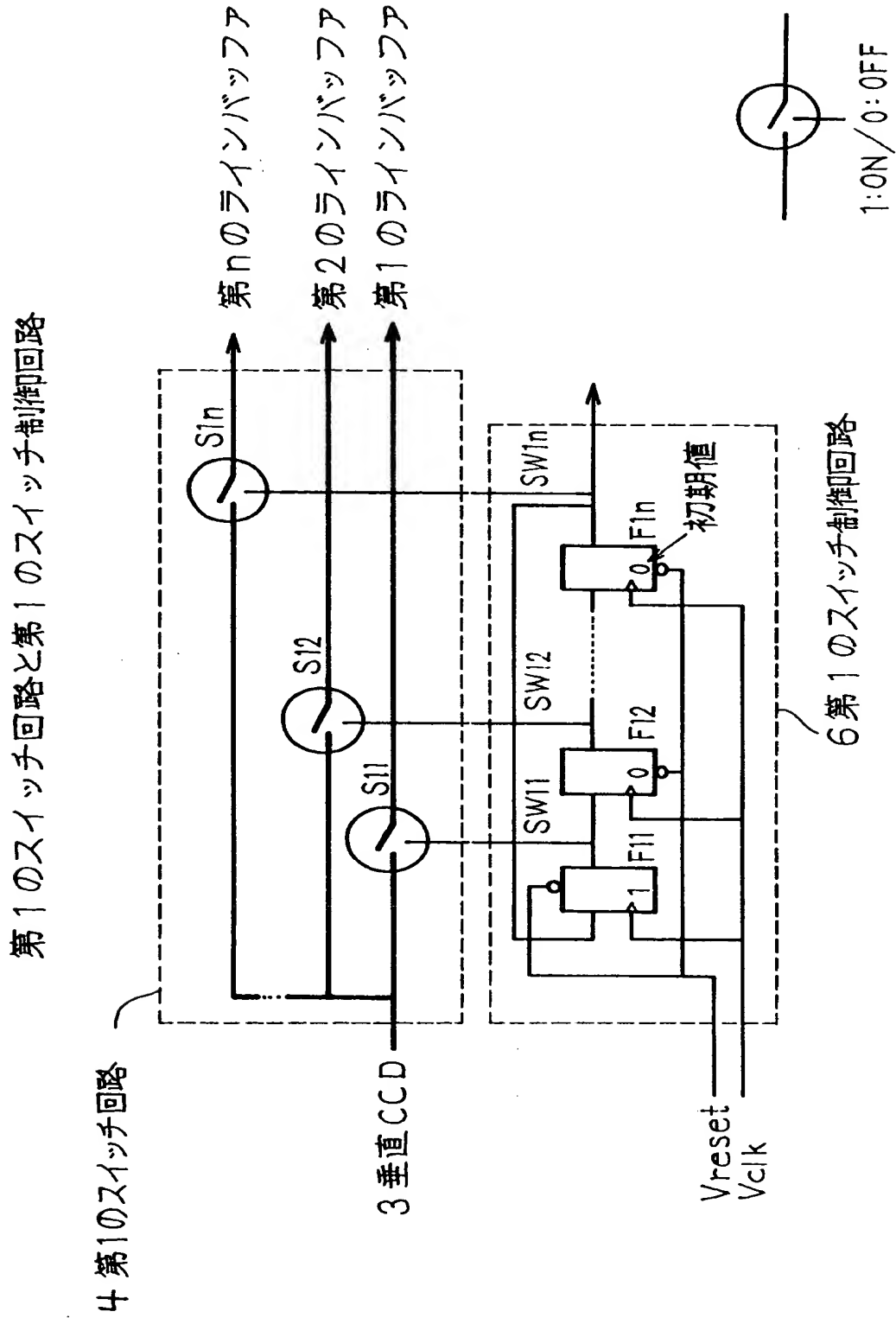
1	2	3	4	5	6	7	8	9	10
11	12	13	14	15	16	17	18	19	20
21	22	23	24	25	26	27	28	29	30
31	32	33	34	35	36	37	38	39	40
41	42	43	44	45	46	47	48	49	50
51	52	53	54	55	56	57	58	59	60
61	62	63	64	65	66	67	68	69	70
71	72	73	74	75	76	77	78	79	80
81	82	83	84	85	86	87	88	89	90
91	92	93	94	95	96	97	98	99	100

3 垂直 CCD

(b)

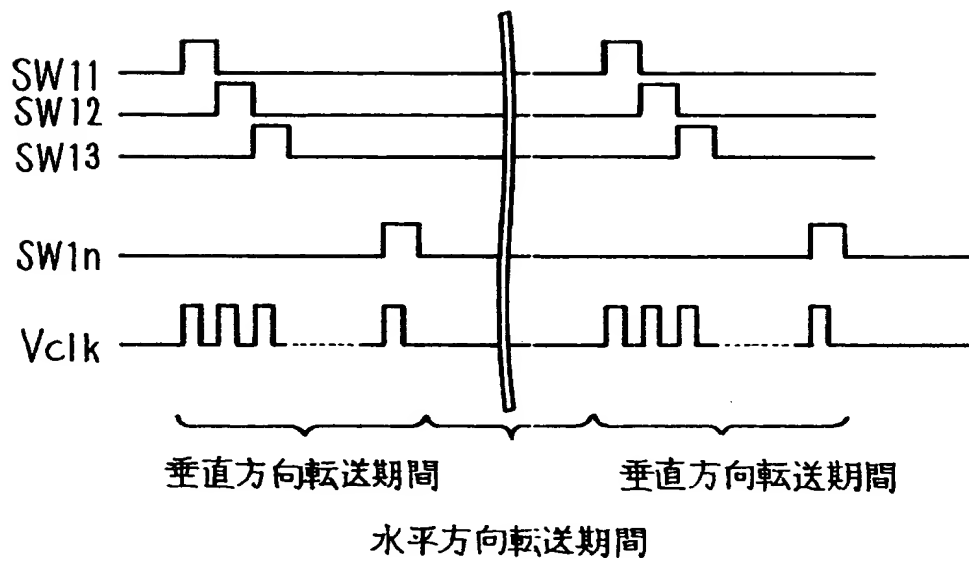
ブロック1	ブロック2	ブロック3	ブロック4	ブロック5	
1 2 3 4 5 6 7 8 9 10					第1のラインバッファ
11 12 13 14 15 16 17 18 19 20					第2のラインバッファ
21 22 23 24 25 26 27 28 29 30					第3のラインバッファ

【図9】

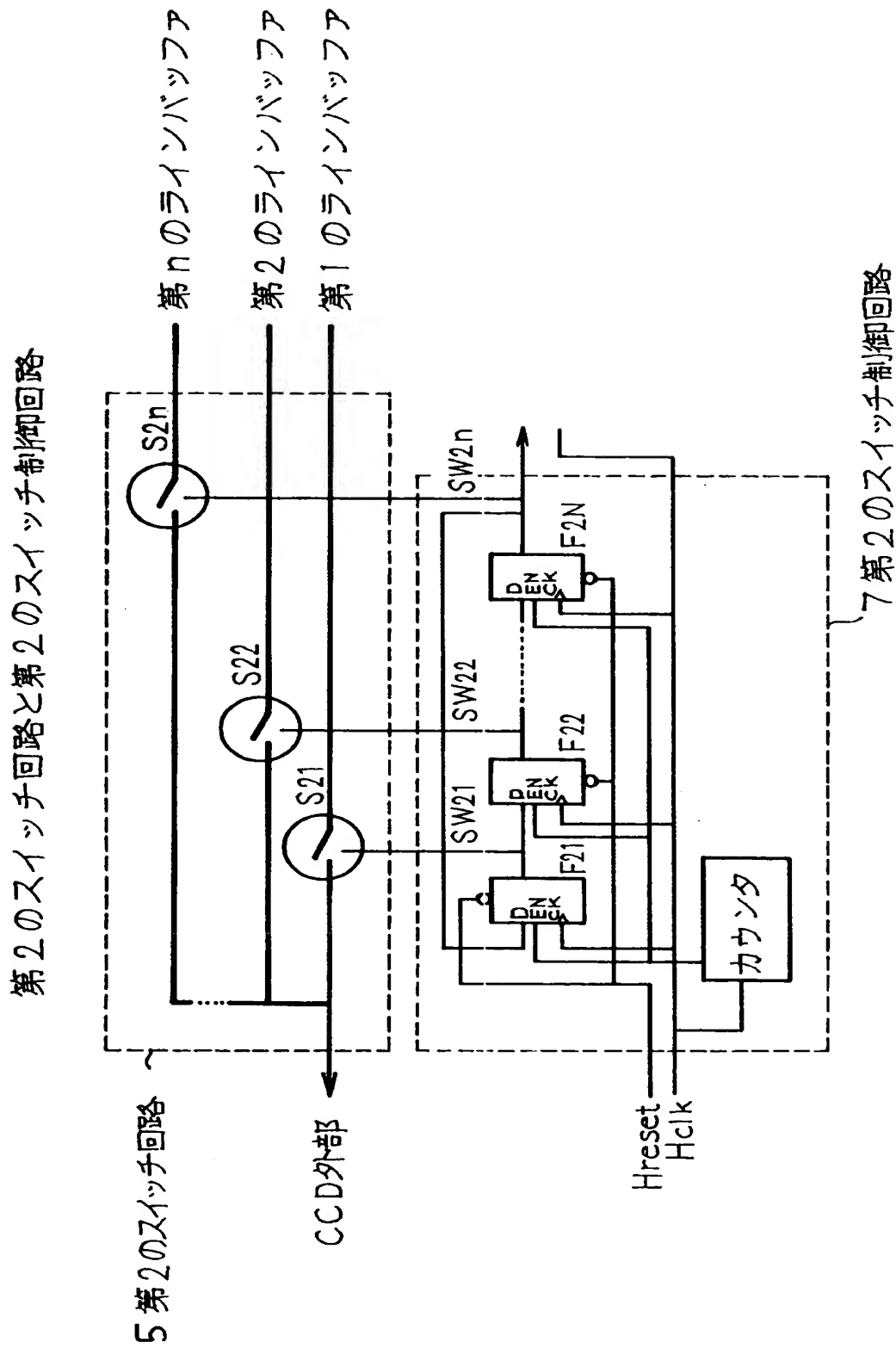


【図 1 0】

垂直方向転送期間のタイミングチャート

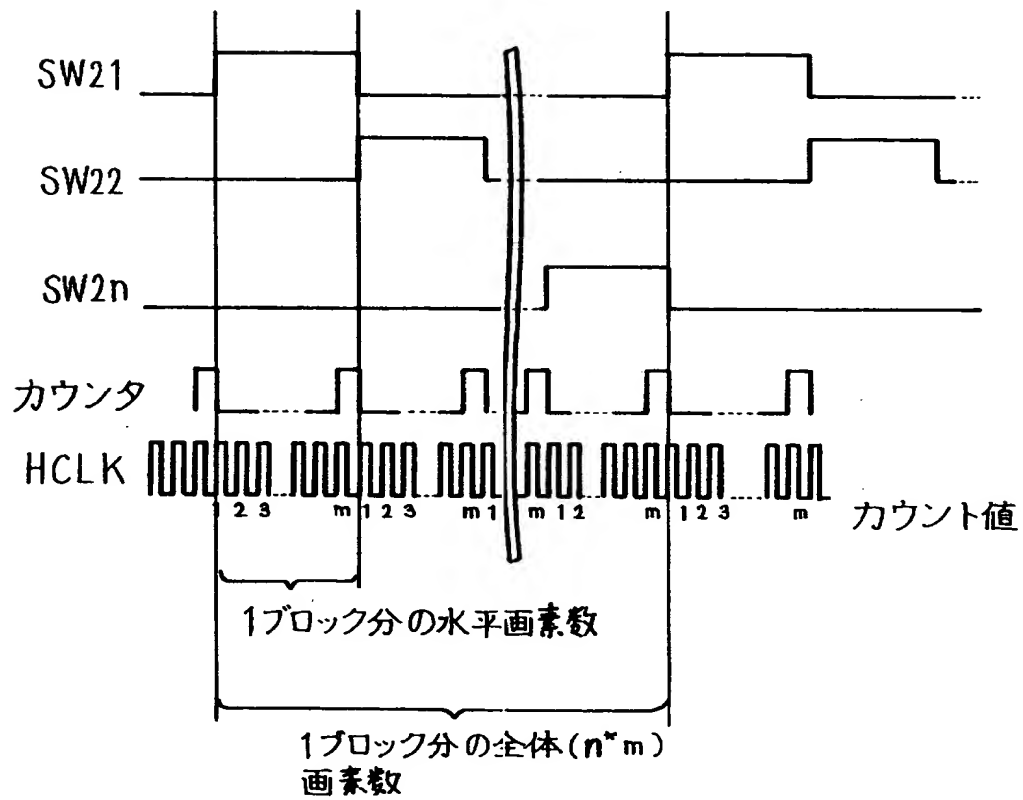


【図 11】



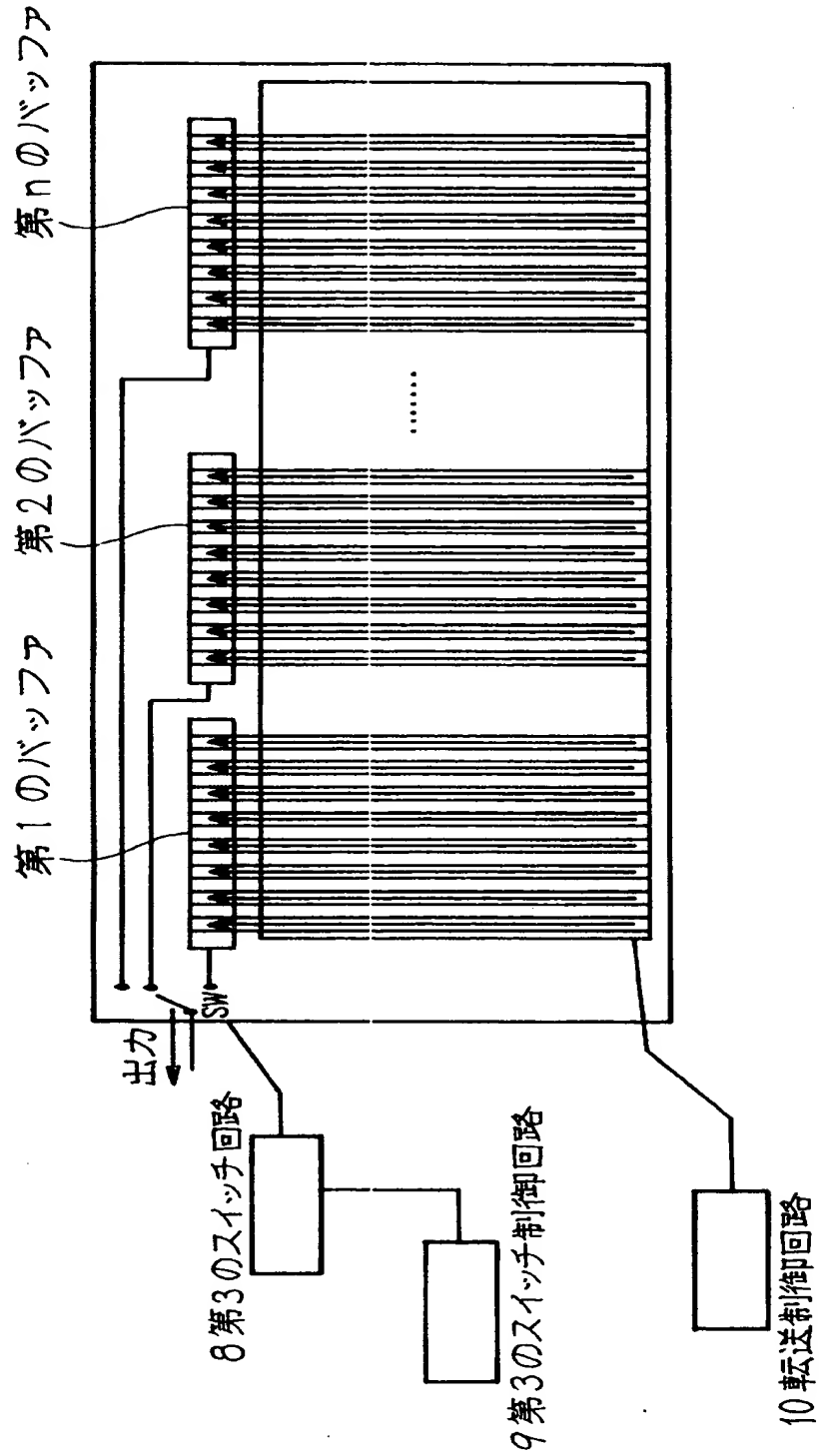
【図 1 2】

水平方向転送期間のタイミングチャート



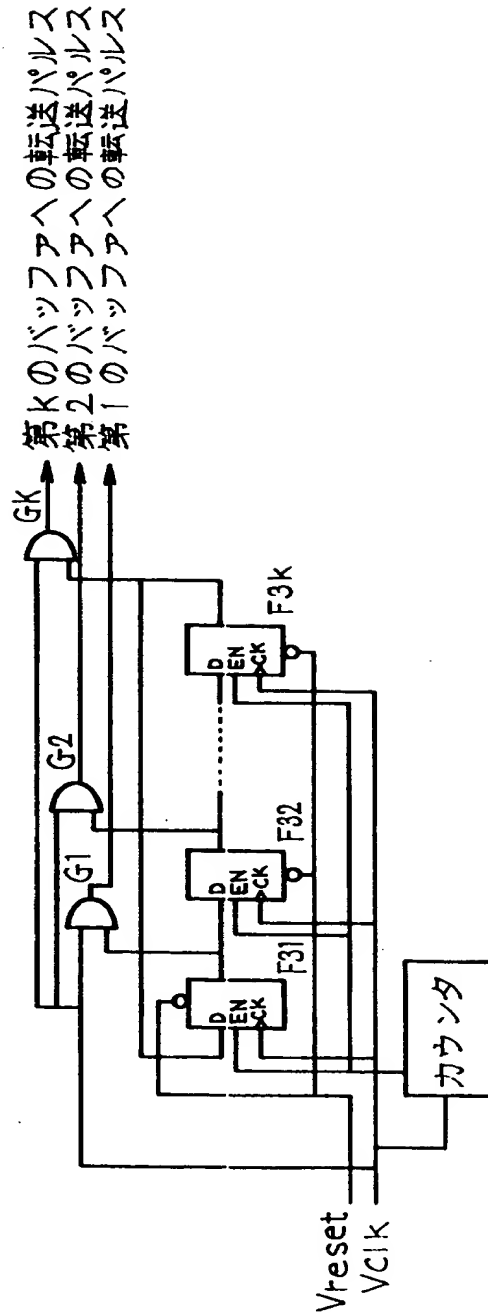
【図13】

第2実施例



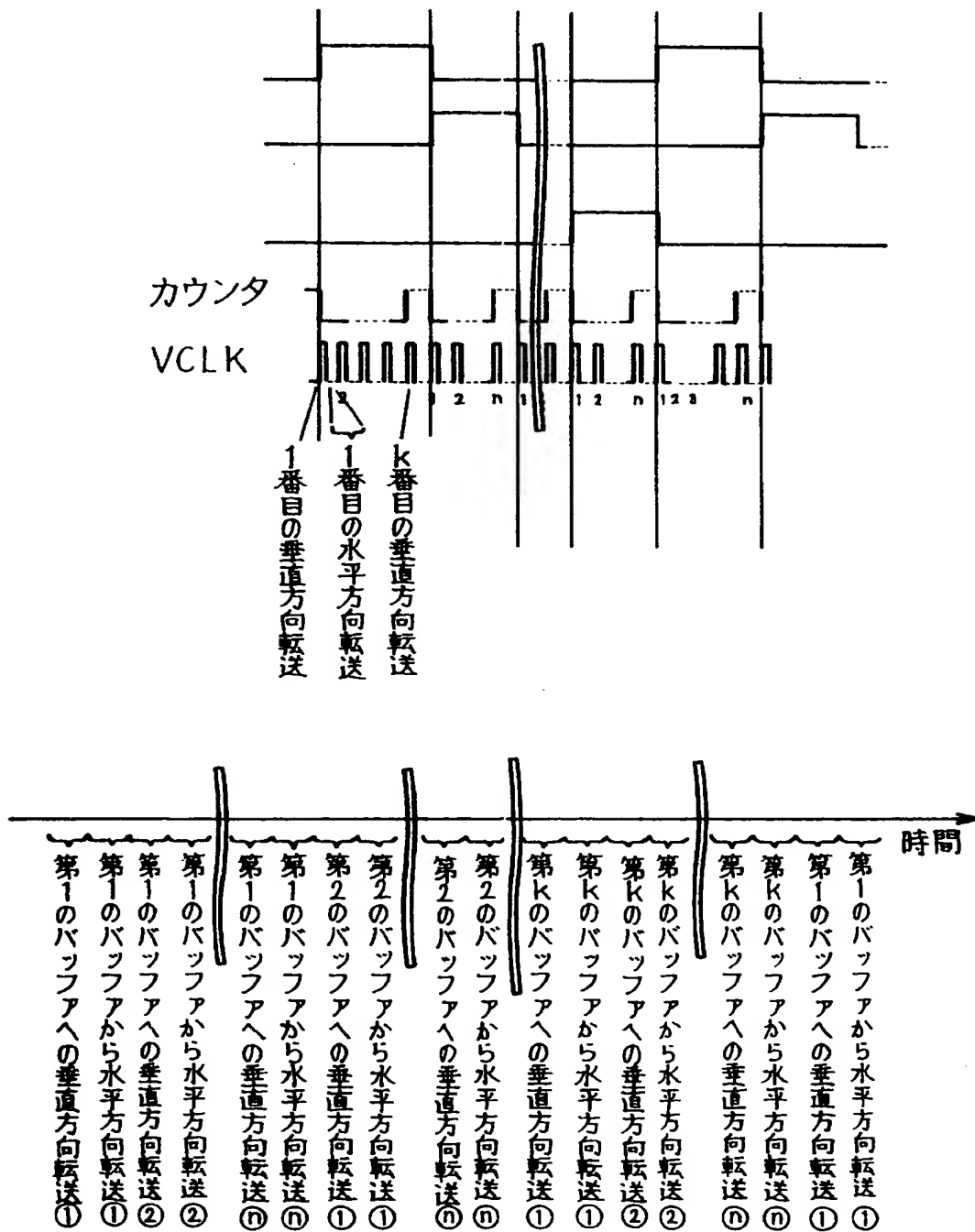
【図 1 4】

転送制御回路



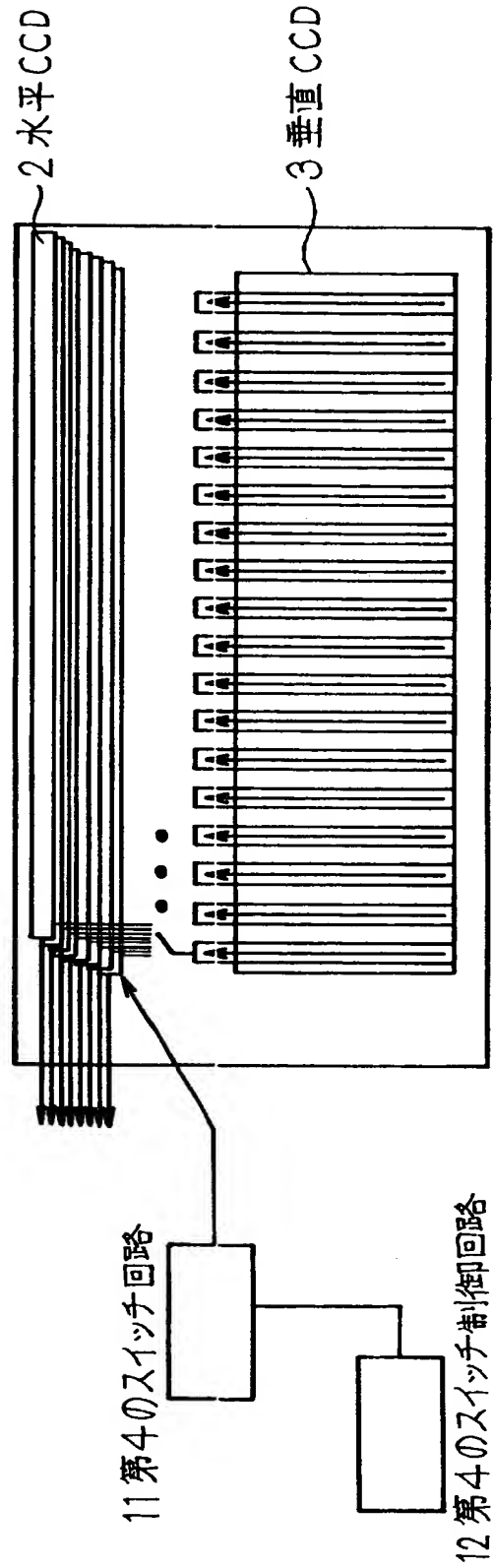
【図15】

水平方向転送期間のタイミングチャート



【図16】

第 3 実 施 例



【書類名】 要約書

【要約】

【課題】 符号化処理のための画像データ並べ替え処理を不要とすることを目的とする。

【解決手段】 光画像データを電気信号に変換する複数の受光センサと電気信号を保持する記憶部とを有する固体撮像素子において、前記記憶部を画像データ符号化処理部で処理される画素単位に対応する数のラインバッファで構成する。

【選択図】 図 7

特 2 0 0 0 - 1 1 1 3 0 9

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 2 3]

1. 変更年月日 1 9 9 6 年 3 月 2 6 日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名 富士通株式会社